

(5) Japanese Patent Application Laid-Open No. JP5-257651(1993)

“Square-Root Extraction Device”

The following is an extract relevant to the present application.

5

In a partial quotient generation device 6, a data wherein a $2n$ -digit number to be square-root extracted is sectioned in groups of four bits from higher-order bits and a number to be divided which is generated from a data of a residual resistor 3 are divided by a plurality of divisors prepared using a square-root extraction constant from a square-root
10 extraction constant generation device 4 or a data stored in a quotient resistor 2. A predetermined two-bit square root corresponding to the condition of an establishment of a plurality of divisions is selected and stored in the quotient resistor 2. A number to be square-root extracted is divided by four bits at each single square-root extraction computation step to calculate a 2-bit square root to obtain an n -digit square-root with $n/2$
15 clocks.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-257651

(43)公開日 平成5年(1993)10月8日

(51)Int.Cl.⁵

G 0 6 F 7/552

識別記号

庁内整理番号

B 9188-5B

F I

技術表示箇所

審査請求 未請求 請求項の数 1 (全 7 頁)

(21)出願番号 特願平4-57694

(22)出願日 平成4年(1992)3月16日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 高橋 一徳

香川県高松市寿町2丁目2番10号 松下寿

電子工業株式会社内

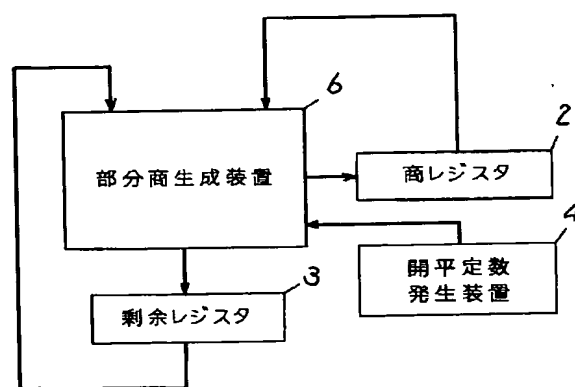
(74)代理人 弁理士 小銀治 明 (外2名)

(54)【発明の名称】 開平装置

(57)【要約】

【目的】 小規模なハードウェアで高速な開平演算が実行できる開平装置を提供することを目的とする。

【構成】 部分商生成装置6では、 $2n$ 桁の被開平数を上位側から4ビットずつに区切ったデータや剰余レジスタ3のデータから生成した被除数を、開平定数発生装置4からの開平定数や商レジスタ2に格納されているデータを用いて作成した複数の除数で除算を行なう。複数の除算の成立状況に応じた所定の2ビットの平方根を選択して商レジスタ2に格納する。1回の開平演算ステップで被開平数を4ビットずつ除算して2ビットの平方根を算出し、 $n/2$ クロックで n 桁の平方根を得る。



【特許請求の範囲】

【請求項1】 被開平数を上位側から所定の桁数ごとに区切り、各区切りごとに、被除数を作成するとともに予め定められた複数の開平定数を用いて除数を作成して除算を行い、それらの結果に基づき下位側に向かって各区切りごとに順次平方根を求める開平装置であって、最上位の区切りの除算を行うときには対応する被開平数の値を保持し、それより下位の区切りの除算を行うときには、直前の上位の区切りにおいて算出されている剰余を保持する剰余レジスタと、除数を作成するために複数の異なる開平定数を発生させる開平定数発生手段と、前記剰余レジスタから入力を受け、最上位の区切りの除算を行うときには剰余レジスタの値を被除数とし、かつそれより下位の区切りの除算を行うときには剰余レジスタの値と該当する区切りの被開平数の値とから被除数を生成する剰余シフタと、最上位の区切りの除算を行うときには前記開平定数発生装置からの開平定数の値を除数とし、かつそれより下位の区切りの除算を行うときには既に部分的に算出されている平方根と開平定数発生装置から発生される複数の定数とから除数を生成する複数の除数シフタと、複数の除数ごとに別個に割り当てられ、剰余シフタと除数シフタの出力とから除算を行う複数の除算装置と、各除算装置における除算の成立状況から、予め定められた複数の部分的な平方根のうちの一つを選択して出力する商決定装置と、前記剰余レジスタに除算の成立した除算装置の剰余を剰余レジスタに出力するための剰余セレクタとを有する部分商生成装置と、前記商決定装置からの出力を保持し、除数シフタへ出力を行う商レジスタとを有する開平装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は2進数の開平演算を実行する開平装置に関するものである。

【0002】

【従来の技術】従来の開平装置としては、例えば”インターフェース Dec.1990 CQ出版社,p226-p228<例題6-4>”に掲載されているものがある。図5はこれの中で引用されている従来の開平装置のアルゴリズムを具体的な数値を用いて説明したものであり、被開平数'10101111001'から平方根'110101'を算出したものである。予め定められた定数(開平定数)'01'を用いて被開平数の上位側から2ビットずつ除算して平方根 Z_1, Z_2, Z_3, Z_4, Z_5 を得るものであるが、以下に処理順序に従ってその動作を説明する。

(1) (被開平数の上位2ビット'10') - (開平定数'01') = '1' (剰余 R_0)

(2) (1)の演算が成り立ったので、根 Z_1 に1をたてる

(3) (剰余 R_0 と被開平数の次の2ビット'110') - (根 Z_1 と開平定数'101') = '1' (剰余 R_1)

(4) (3)の演算が成り立ったので、根 Z_2 に1をたてる

(5) (剰余 R_1 と被開平数の次の2ビット'111') - (根 Z_2 と開平定数'1101') = '0' (剰余 R_2)

(6) (5)が成り立たないので、根 Z_2 を0とし、剰余 R_2 を(5)の被除数'111'とする

(7) (R_2 と被開平数の次の2ビット'11111') - (根 Z_3 と開平定数'11001') = '110' (剰余 R_3)

(8) (7)が成り立ったので、根 Z_3 に1をたてる

(9) (剰余 R_3 と次の2ビット'11010') - (根 Z_3, Z_4, Z_5 と開平定数'110101') = '0' (剰余 R_4)

(10) (9)が成り立たないので根 Z_4 を0とし、剰余 R_4 を(9)の被除数'11010'とする

(11) (剰余 R_4 と次の2ビット'1101001') - (根 Z_5, Z_6, Z_7, Z_8 と開平定数'1101001') = '0' (剰余 R_5)

(12) (11)が成り立ったので Z_6 に1を立て、端数 R_5 は'0'となり開平終了

以上のように本アルゴリズムによれば、2n桁のデータの開平処理にn回の減算処理が必要であり、図6はこのアルゴリズムに基づく従来の開平装置の構成図を示すものである。図において、7は開平すべきデータ(被開平数 $A_{n-1}A_{n-2}\dots A_1A_0$)を保持する被開平数レジスタである。8は被開平数レジスタ7から2ビットずつ出力されるデータを用い平方根を算出する平方根生成装置であり、それぞれ減算を実行し $Z_{n-1}Z_{n-2}\dots Z_1Z_0$ 及び剰余 $R_0\dots R_{n-1}$ を算出するn個の減算装置を備えている。2は前記平方根生成装置8から得られた平方根を保持する商レジスタであり、開平途中には平方根生成装置8に既に算出されている根を出力する。

【0003】

【発明が解決しようとする課題】しかしながら、従来の開平装置で2n桁のデータを開平する場合は、n段の減算装置が必要となり、そのハードウェア規模は大きくなってしまふ。また1回の減算処理を1クロックで実行するハードウェアを実装した場合には、n回の繰り返し演算(nクロック)が必要となり、演算実行時間も長くなるという問題点があった。

【0004】

【課題を解決するための手段】上記課題を解決するために本発明の開平装置は、被開平数を上位側から所定の桁数ごとに区切り、各区切りごとに、被除数を作成するとともに予め定められた複数の開平定数を用いて除数を作成して除算を行い、それらの結果に基づき下位側に向かって各区切りごとに順次平方根を求める開平装置であって、最上位の区切りの除算を行うときには対応する被開平数の値を保持し、それより下位の区切りの除算を行うときには、直前の上位の区切りにおいて算出されている剰余を保持する剰余レジスタと、除数を作成するために複数の異なる開平定数を発生させる開平定数発生手段と、前記剰余レジスタから入力を受け、最上位の区切りの除算を行うときには剰余レジスタの値を被除数とし、

かつそれより下位の区切りの除算を行うときには剰余レジスタの値と該当する区切りの被開平数の値とから被除数を生成する剰余シフタと、最上位の区切りの除算を行うときには前記開平定数発生装置からの開平定数の値を除数とし、かつそれより下位の区切りの除算を行うときには既に部分的に算出されている平方根と開平定数発生装置から発生される複数の定数とから除数を生成する複数の除数シフタと、複数の除数ごとに別個に割り当てられ、剰余シフタと除数シフタの出力とから除算を行う複数の除算装置と、各除算装置における除算の成立状況から、予め定められた複数の部分的な平方根のうちの一つを選択して出力する商決定装置と、前記剰余レジスタに除算の成立した除算装置の剰余を剰余レジスタに出力するための剰余セレクタとを有する部分商生成装置と、前記商決定装置からの出力を保持し、除数シフタへ出力を行う商レジスタとを有するものである。

【0005】

$$\begin{aligned} \text{Rem0} &= (R_{k-1} \ll 4, D_k D_{k-1} D_{k-2} D_{k-3}) - (Z_{k-1} \cdots Z_k, 001) & \text{(数1)} \\ \text{Rem1} &= (R_{k-1} \ll 4, D_k D_{k-1} D_{k-2} D_{k-3}) - (Z_{k-1} \cdots Z_k, 0100) & \text{(数2)} \\ \text{Rem2} &= (R_{k-1} \ll 4, D_k D_{k-1} D_{k-2} D_{k-3}) - (Z_{k-1} \cdots Z_k, 0100) & \text{(数3)} \\ &\quad - (Z_{k-1} \cdots Z_k, 101) \end{aligned}$$

）なお上記数式中の $R_{k-1} \ll 4, D_k D_{k-1} D_{k-2} D_{k-3}$ は、 R_{k-1} を左に4ビットシフトさせて、 $D_k D_{k-1} D_{k-2} D_{k-3}$ を挿入する操作を行なうということである。上記の3つの演算処理の結果は次の(a)(b)(c)(d)のいずれかに分けられるので、演算結果に応じて、2ビットの平方根('00', '01', '10', '11')から一つを選択して $Z_{k-1} Z_{k-2}$ を得るとともに、剰余 R_k を求める。

(a) $\text{Rem0} < 0$ のとき

・平方根 $Z_{k-1} Z_{k-2} = '00'$

・剰余 $R_k = (R_{k-1} \ll 4, D_k D_{k-1} D_{k-2} D_{k-3})$

(b) $\text{Rem0} \geq 0, \text{Rem2} < \text{Rem1} < 0$ のとき

・平方根 $Z_{k-1} Z_{k-2} = '01'$

・剰余 $R_k = \text{Rem0}$

(c) $\text{Rem0} > \text{Rem1} \geq 0, \text{Rem2} < 0$ のとき

・平方根 $Z_{k-1} Z_{k-2} = '10'$

・剰余 $R_k = \text{Rem1}$

(d) $\text{Rem0} > \text{Rem1} > \text{Rem2} \geq 0$ のとき

・平方根 $Z_{k-1} Z_{k-2} = '11'$

・剰余 $R_k = \text{Rem2}$

以上のようにして2ビットの平方根 $Z_{k-1} Z_{k-2}$ 及び剰余 R_k が算出される。これを $n/2$ 回繰り返すことにより n ビットの平方根を求めることができる。なお被開平数の最上位の区切りを演算するときには、既に求められている平方根や剰余は存在しないので、上記式においてその部分を無視して考える。

【0008】図4は具体的な数値例をあげて上記アルゴリズムを説明するものであり、従来例で説明した数値例で開平演算を実行している。以下に図4について説明する。図中の(1)の演算は、上記(数1)(数2)(数

*【作用】本発明の開平装置のアルゴリズムは従来のものと基本的に同じであるが、特に被開平数の上位側から4ビットずつに区切って被除数を作成したときには、1回の演算処理で2ビットの平方根を得られるということに特徴がある。ここで、 $2n$ 桁の被開平数 $D_{n-1} D_{n-2} \cdots D_k D_{k-1} \cdots D_0$ の平方根 $Z_{n-1} Z_{n-2} \cdots Z_k Z_{k-1} \cdots Z_0$ を算出する場合について説明する。なお処理中の区切りの上位の桁を $2k$ 桁、既に算出されている平方根を $Z_{n-1} \cdots Z_k$ 、直前の演算で算出された剰余を R_{k-1} 、求める平方根を $Z_{k-1} Z_{k-2}$ 、現在の演算で算出される剰余を R_k とする。

【0006】まず直前に算出された剰余 R_k と被開平数の $2k$ 桁以下4ビットの $D_k D_{k-1} D_{k-2} D_{k-3}$ のデータとで被除数を作成する。既に算出されている平方根 $Z_{n-1} \cdots Z_k$ と、互いに異なる開平定数('001', '0100', '101')とを用いて複数の除数を作成し、以下に示す(数1), (数2), (数3)の演算を実行する。

*【0007】

$$\begin{aligned} & (Z_{n-1} \cdots Z_k, 001) & \text{(数1)} \\ & (Z_{n-1} \cdots Z_k, 0100) & \text{(数2)} \\ & (Z_{n-1} \cdots Z_k, 0100) & \text{(数3)} \end{aligned}$$

3)を実行すると(d)が成り立つことを示しており、平方根 $Z_k Z_{k-1}$ に '11' を、剰余に '1010 - 101 - 0100' の結果として '1' を算出している。(2)は、先に算出した剰余 '1' と次の句切りの4ビットの数値とで生成した被除数 '1111' から、既に求めている平方根 '11' と開平定数 '001' とで生成した除数 '11001' で演算を行なったものであり、(b)が成り立つことを示している。(3)の演算も同様に(b)が成り立つことを示しており、平方根 $Z_k Z_{k-1}$ に '01' を得て開平を終了している。

【0009】

【実施例】以下、本発明の実施例について、被開平数を上位側から4ビットずつ区切って除算を行い、各区切りごとに2ビットずつ平方根を算出する開平装置を説明する。図1は本発明の一実施例における開平装置の構成図を示すものである。図1において、3は開平演算開始時には開平すべきデータ(被開平数)を格納し、演算実行中は前記データと除算による剰余とを格納する剰余レジスタであり、剰余と4ビットずつのデータを出力する。

2は平方根 $Z_{n-1} \cdots Z_k$ を格納する商レジスタであり、4は3ビットまたは4ビットの開平定数('0100', '101', '001')を発生する開平定数発生装置である。6は剰余レジスタ3の内容と商レジスタ2の出力及び開平定数発生装置4の出力から2ビット平方根を算出して得られた2ビットデータを商レジスタ2に格納し、剰余を剰余レジスタ3に格納する部分商生成装置である。

【0010】図2は図1における部分商生成装置6の内部構成を示したものである。図2において、60は剰余レジスタ3から出力された剰余 R_k を左4ビットシフトさせて被除数 $(R_{k-1} \ll 4, D_k D_{k-1} D_{k-2} D_{k-3})$ を生成する

剰余シフタ、61aは商レジスタ2の出力データを左3ビットシフトさせて $(Z_{n-1} \cdots Z_4, 000)$ を生成する除数シフタa、61bは商レジスタ2の出力データを左4ビットシフトさせて $(Z_{n-1} \cdots Z_4, 0000)$ を生成する除数シフタbである。

【0011】62はA側に剰余シフタ60の出力データが入力され、B側に入力された除数シフタb61bのデータ下位4ビットに開平定数発生装置4の出力'0100'を挿入して、A-B(数2)を実行する減算装置であり、A-B ≥ 0 のとき、剰余 R_0 とキャリ出力C0とを出力する。63はA側に剰余シフタ60の出力データが入力され、B側に入力された除数シフタa61aのデータ下位3ビットに開平定数発生装置4の出力'001'を挿入して、A-B(数1)を実行する2倍値減算装置であり、A-B ≥ 0 のとき、剰余 R_1 とキャリ出力C1とを出力する。64はA側に剰余シフタ60の出力データが入力され、B側に入力された除数シ

*フタa61aのデータ下位3ビットに開平定数発生装置4の出力'001'を挿入し、C側に入力された除数シフタb61bのデータ下位4ビットに開平定数発生装置4の出力'0100'を挿入して、A-B-C(数3)を実行する3倍値減算装置であり、A-B-C ≥ 0 のとき、剰余 R_2 とキャリ出力C2とを出力する。

【0012】66は上記3つの減算装置により算出された剰余 R_0 、 R_1 、 R_2 と剰余シフタ60のデータ R_3 のうちから一つを選択して出力する剰余セクタ、65は減算装置62のキャリ出力C0、2倍値減算装置63のキャリ出力C1、3倍値減算装置64のキャリ出力C2を入力し、(表1)の論理に従って2ビットの商(平方根)Qを算出するとともに、剰余セクタ66が選択する剰余を制御する商決定装置である。

【0013】

【表1】

キャリ出力C0,C1,C2	商Q	剰余セクタ出力
000	00	R_3
100	01	R_0
110	10	R_1
111	11	R_2

【0014】以上のように構成した開平装置について、以下その動作を説明する。

(1) 初期設定

・商レジスタ2をゼロクリア。

【0015】・剰余レジスタ3の下位側に被開平数を設定。

(2) 減算処理

・剰余レジスタ3に格納された被開平数のうち上位側から区切った4ビットのデータと、剰余 R_{n-1} を剰余シフタ60に入力。

【0016】・剰余シフタ60は剰余 R_{n-1} を左4ビットシフトし、4ビットの開平定数とで被除数を生成して、各減算装置62、63、64のA側に入力。

【0017】・除数シフタa61aは商レジスタ2からのデータを左3ビットシフト。

・除数シフタb61bは商レジスタ2からのデータを左4ビットシフト。

【0018】・3つの減算装置62、63、64は、除数シフタa61a、除数シフタb61bからB側またはC側に入力されたデータの下位側に開平定数を入力して除数を生

成。

【0019】・各減算装置62、63、64でA-BまたはA-B-Cの減算を実行。

(3) 平方根、剰余決定

・商決定装置65において、3つの減算装置62、63、64のキャリ出力C0、C1、C2から(表1)に従って、商2ビットを決定するとともに、剰余セクタ66の出力を決定し、それぞれ商レジスタ2、剰余レジスタ3にラッチ。

40 【0020】・商レジスタ2は平方根Q2ビットをキャリ入力して左2ビットシフト。

(2)、(3)動作を1回の開平演算ステップとして、これを $n/2$ 回繰り返すことにより n ビットの平方根が得られる。従って本実施例の開平装置においては、1回の開平演算ステップで被開平数を4ビットずつシフトして2ビットの平方根を生成するので、全体で $2n$ 桁の被開平数の開平が $n/2$ クロックで高速に実現できる。

【0021】ところで本実施例の開平装置は、従来公知である2ビット処理型の除算装置に、わずかなハードウェアを追加するだけで実現することができる。すなわち

図3に示すように、本開平装置が上記の開平演算を行なうために必要とする新たな構成は、除数セクタ5と開平定数発生装置4の追加、除数シフタa61a、除数シフタb61b、剰余シフタ60のシフト機能の追加だけであり、以下図面を参照しながら2nビットの被除数の除算について説明する。

【0022】図3において、1は除数を格納する除数レジスタであり、5は部分商生成装置6に入力するデータを除数レジスタ1か商レジスタ2かに切り換える除数セクタであり、除算実行時には除数レジスタ1を選択する。

(1) 初期設定

・剰余レジスタ3に2n桁の被除数を右2ビットシフトした状態で設定。

【0023】・除数セクタ5は除数レジスタ1を選択する。

(2) 減算処理

・剰余シフタ60は入力された被除数データを左2ビットシフト。

【0024】・除数シフタa61aは除数データを左1ビットシフト（2倍）。

・除数シフタb61bは除数データを通過。

【0025】・3つの減算装置62,63,64において、A-BまたはA-B-Cの減算を実行。

(3) 商、剰余決定

・商決定装置65において、3つの減算装置62,63,64のキャリ出力C0,C1,C2から（表1）に従って、商2ビットを決定するとともに剰余セクタ66の出力を決定し、それぞれ商レジスタ2,剰余レジスタ3にラッチ。

(2),(3)動作をn回繰り返して2nビットの商及び剰余を算出する。

*【0026】以上の様に本実施例の開平装置は、2ビット処理型除算装置にわずかなハードウェアを追加しただけで、通常の除算処理と同様にして2ビットずつ平方根が算出でき、ハードウェア資源を有効に利用できる。

【0027】

【発明の効果】以上説明したように本発明によれば、数値演算で多用されかつ性能に大きな影響を与える開平演算を小規模な装置構成でかつ高速に実行でき、その実用的効果は極めて大きい。

【図面の簡単な説明】

【図1】本発明の一実施例における開平装置の構成図

【図2】同開平装置の詳細な構成図

【図3】本発明の他の実施例における開平装置の構成図

【図4】本発明の開平装置のアルゴリズムの説明図

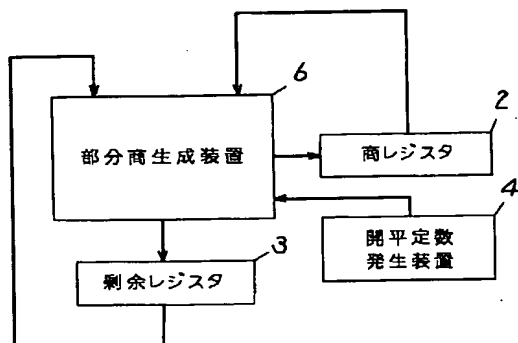
【図5】従来の開平装置のアルゴリズムの説明図

【図6】従来の開平装置の構成図

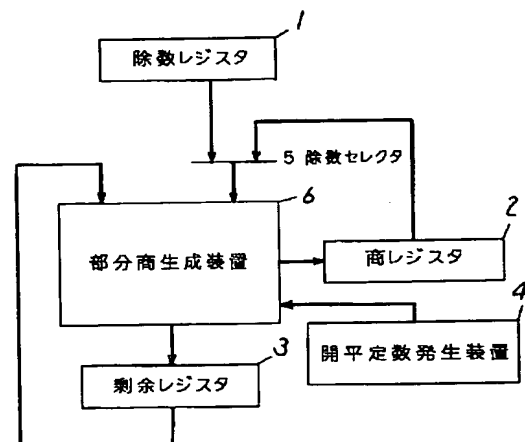
【符号の説明】

- 1 除数レジスタ
- 2 商レジスタ
- 3 剰余レジスタ
- 4 開平定数発生装置
- 5 除数セクタ
- 6 部分商生成装置
- 60 剰余シフタ
- 61a 除数シフタa
- 61b 除数シフタb
- 62 減算装置
- 63 2倍値減算装置
- 64 3倍値減算装置
- 65 商決定装置
- 66 剰余セクタ

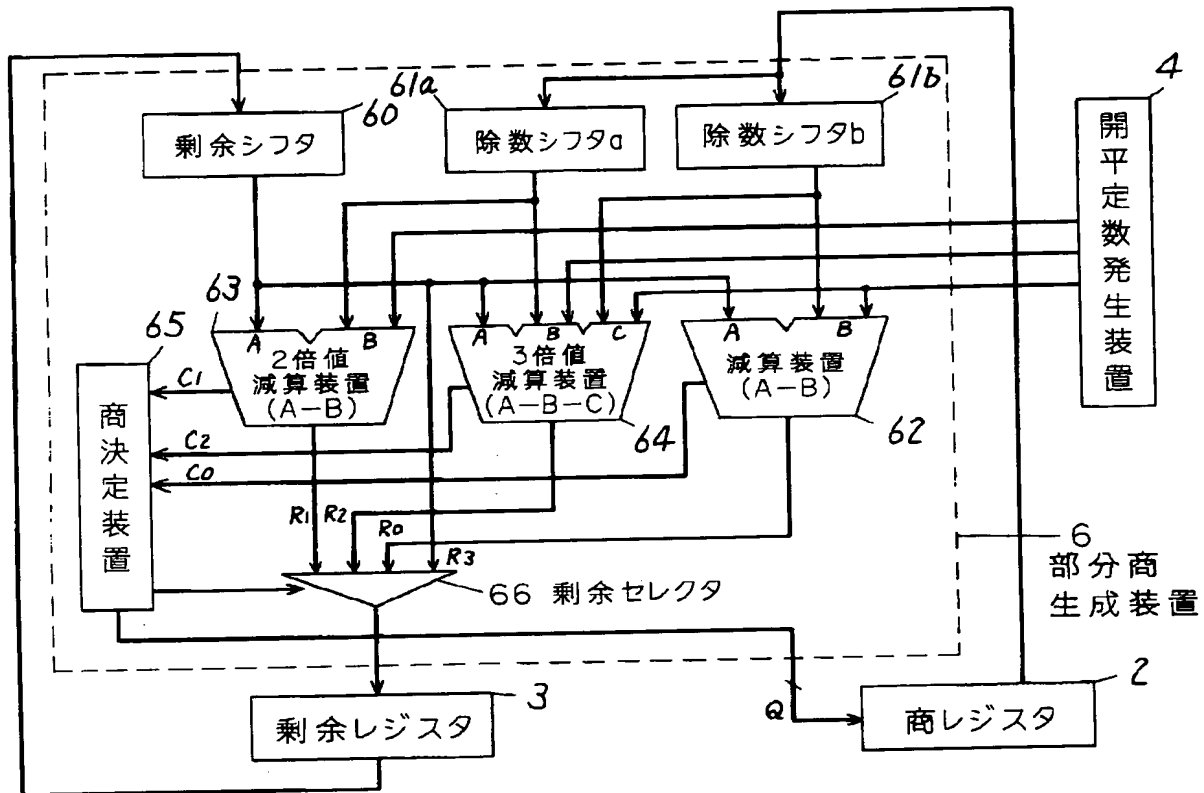
【図1】



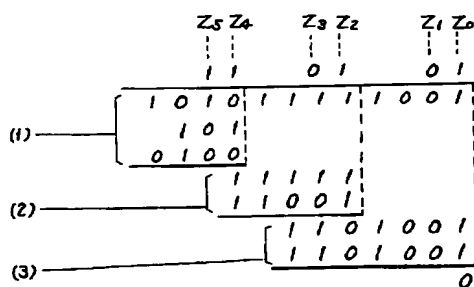
【図3】



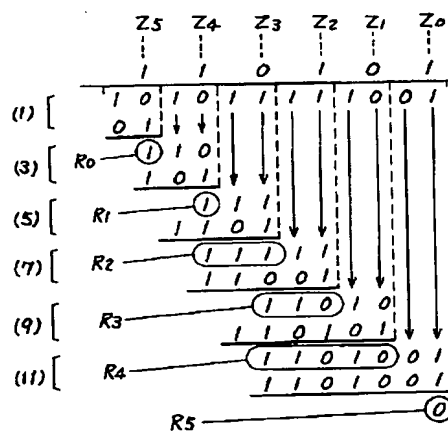
【図2】



【図4】



【図5】



【図6】

2 商レジスタ
8 平方根生成装置

